

JP 404254346 A
SEP 1992

(54) TESTING EQUIPMENT OF SEMICONDUCTOR ELEMENT

(11) 4-254346 (A) (43) 9.9.1992 (19) JP

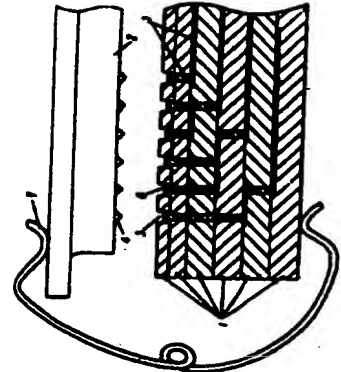
(21) Appl. No. 3-9654 (22) 30.1.1991

(71) MATSUSHITA ELECTRON CORP (72) MINOBU KUNITOMO

(51) Int. Cl.⁶ H01L21/66, G01R31/26, G01R31/28

PURPOSE: To obtain an excellent testing equipment of semiconductor element which is capable of voltage application test at a high temperature for finding initial defects of a semiconductor element, without generating deformation and damage to a protruding electrode formed on the semiconductor element.

CONSTITUTION: A circuit board 1 on which electrode terminals 6 for electric connection with a semiconductor element 2 having protruding electrodes 4, and a pressing means 7 for pressing the semiconductor element 2 arranged on the circuit board 1 from above said element are installed. The circuit board 1 is a low thermal expansion ceramic board of mullite sintered body or aluminum nitride sintered body. The electrode terminal 6 is equipped with a recessed part 5 for accommodating the protruding electrode 4 of the semiconductor element 2.



324/765
WTV

This Page Blank (aspto)

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-254346

(43) 公開日 平成4年(1992)9月9日

(51) Int.Cl. ³	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/66	B	7013-4M		
G 0 1 R 31/26	H	8411-2G		
31/28				
H 0 1 L 21/66	D	7013-4M		
		6912-2G		
			G 0 1 R 31/ 28	K
			審査請求 未請求 請求項の数 1 (全 4 頁)	

(21) 出願番号 特願平3-9654

(22) 出願日 平成3年(1991)1月30日

(71) 出願人 000005843

松下電子工業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 國友 英信
大阪府門真市大字門真1006番地 松下電子工業株式会社内

(74) 代理人 弁護士 小堀治 明 (外2名)

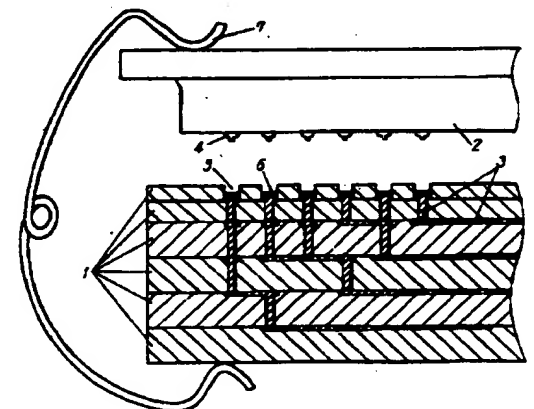
(54) 【発明の名称】 半導体素子の試験装置

(57) 【要約】

【目的】 半導体素子の上に設けられた突起電極に変形や損傷を起こすことなく半導体素子の初期不良を見いだすための高温電圧印加試験ができる優れた半導体素子の試験装置を提供する。

【構成】 突起電極4を有する半導体素子2と電気的接続を行うための電極端子6が形成された回路基板1と、回路基板1の上に設置された半導体素子2をその上方から押圧する圧着手段7とを有し、回路基板1がムライト質焼結体または窒化アルミニウム焼結体等の低熱膨張セラミック基板であり、かつ電極端子6には半導体素子2の突起電極4を収納するための凹部5を設けた。

- 1-回路基板
- 2-半導体素子
- 3-凹部
- 4-突起電極
- 5-電極端子
- 6-圧着手段



(2)

特開平4-254346

【特許請求の範囲】

【請求項1】突起電極を有する半導体素子と電気的接続を行うための電極端子が形成された回路基板と、前記回路基板の上に設置された半導体素子をその上方から押圧する圧着手段とを有し、前記回路基板がムライト質焼結体または窒化アルミニウム焼結体等の低熱膨張セラミック基板であり、かつ前記電極端子には前記半導体素子の突起電極を収納するための凹部を設けた半導体素子の試験装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は突起電極を有する半導体素子を実装用基板にフリップチップ実装する前に半導体素子を試験するための半導体素子の試験装置に関する。

【0002】

【従来の技術】一般に半導体素子は初期不良を見いだすために高温で電圧印加試験を行っている。この半導体装置は半導体素子を収納容器にパッケージしたものである。しかしながら、近年高密度実装のために行われているフリップチップ法に代表される半導体素子の直接実装では上記の高温での電圧印加試験が行われないか、または半田等の接合材料で半導体素子の電極と試験装置を接続して試験を行っていた。そのため試験後に試験装置から半導体素子を取り出す際に再加熱しなければならず、突起電極を形成する金属の半田への溶出、または突起電極への半田の残留現象が発生し、実装後の信頼性を低下させていた。この問題を解決するために半田による接続ではなく、半導体素子を回路基板へ圧着する方法が検討されている。

【0003】

【発明が解決しようとする課題】しかしながら上記の従来の構成では、半導体素子の試験装置に用いられている回路基板はガラス繊維入りエポキシ等の樹脂材料またはアルミナ等の絶縁基板であり、半導体素子を構成するシリコンの熱膨張係数と比較して大きな熱膨張係数を有している。そのためこれら絶縁基板からなる回路基板を半導体素子の試験装置に使用し、半導体素子を圧着方法にて搭載した場合、搭載時と試験時の加熱による温度差による半導体素子および回路基板の相対的位置ずれに起因する半導体素子と回路基板の電気的接続不良や突起電極の変形が発生するという課題を有していた。

【0004】本発明は上記従来の課題を解決するもので、半導体素子の上に設けられた突起電極に変形や損傷を起こすことなく半導体素子の初期不良を見いだすことのできる半導体素子の試験装置を提供することを目的とする。

【0005】

【課題を解決するための手段】この目的を達成するために本発明の半導体素子の試験装置は、突起電極を有する半導体素子と電気的接続を行うための電極端子が形成さ

れた回路基板と、回路基板の上に設置された半導体素子をその上方から押圧する圧着手段とを有し、回路基板がムライト質焼結体または窒化アルミニウム焼結体等の低熱膨張セラミック基板であり、かつ電極端子には半導体素子の突起電極を収納するための凹部を設けた構成を有している。

【0006】

【作用】この構成によって、温度変化による試験用の回路基板と半導体素子の相対的位置ずれの発生に起因する電気的接続不良や半導体素子の上に設けられた突起電極の変形や損傷を起こすことなく半導体素子の初期不良を見いだすことができる。

【0007】

【実施例】以下本発明の一実施例について、図面を参照しながら説明する。

【0008】図1は本発明の一実施例における半導体素子の試験装置の断面正面図である。図1において、1は低熱膨張係数のセラミック焼結体からなる絶縁基板、2は半導体素子、3は高融点金属からなる導体層、4は半導体素子2の突起電極、5は基板電極の凹部、6は金めっきを施した電極端子、7は圧着手段である。絶縁基板1の主面には半導体素子2の突起電極4に対応した位置に突起電極4の高さより10 μ m～30 μ m浅い深さで、突起電極4より大きい内径を有する凹部5が設けられている。また凹部5の底面には突起電極4との良好な電気的接続を得るために2 μ m以上の厚さの金めっき層が施され、電極端子6を構成している。この電極端子6は導体層3を通じて絶縁基板1の端部に電気的に引き出されている。

【0009】絶縁基板1は、ムライト(Al₂O₃・2SiO₂)粉末に焼結助剤(SiO₂、MgO、CaO)を添加し、さらにポリマーを添加混合してシート状に形成した上に高融点金属粉末からなる導電性ペーストをスクリーン印刷し、加圧積層後に約1500～1700℃の還元雰囲気中で焼成することにより形成される。基板電極の凹部5はシート成形時にプレス金型で最上層のシートに孔を打ち抜いておくことにより形成される。

【0010】以上のような半導体素子の試験装置を用いて、1MbitのDRAMを高温電圧印加試験を行った例について説明する。DRAMはそのチップサイズが4.38mm×11.63mmで厚さが0.4mmで、電極数は20のものである。この電極の上にAuワイヤ(直径30 μ m)を用いたボールボンディング法により突起電極4を形成する。このような半導体素子2を絶縁基板1に設置する。この時、突起電極4を絶縁基板1の凹部5に一致させ、圧着手段7としてクリップを使用して半導体素子2を圧着する。半導体素子2の突起電極4は絶縁基板1の外辺に設けられたタブを介して外部電源に接続される。このようにして、半導体素子2は2.5Vの電圧が印加された状態で125℃に保持された電気オープン中、

(3)

特開平4-254346

3

4

に48時間放置される。その後、グリップをはずして半導体素子2を絶縁基体1より取り外し、電気的特性を測定した後不良の半導体素子2を除去する。良品の半導体素子2は実装基板へ半田付けなどにより実装される。半導体素子2を実装した実装基板について電気的検査を行い、さらに高温での電圧印加試験を行う。

*基板の種類と半導体素子の接合法に対して、半導体素子の段階での試験結果(表1では1次と記す)と実装基板への半田付け後の不良内容、実装基板としての試験結果(表1では2次と記す)を示した。

【0012】

【表1】

【0011】(表1)に半導体素子の試験装置に用いた*

No.	ラング44仕様		高温電圧印加試験(1次)		実装後の試験(2次)	
	試験基板	半導体素子	試験不良	半導体素子不良	試験不良	半導体素子不良
1	ムライト	圧着	0/100	0/100	0/100	0/100
2	ムライト	TH	21/100	0/100	0/100	0/100
3	窒化アルミ	圧着	0/100	0/100	0/100	0/100
4	窒化アルミ	TH	15/100	0/100	4/100	0/100
5	アルミナ	圧着	0/100	0/100	0/100	0/100
6	アルミナ	TH	0/100	0/100	0/100	0/100
7	アルミナ	圧着	0/100	0/100	0/100	0/100
8	アルミナ	TH	0/100	0/100	0/100	0/100

【0013】

【表2】

No.	高温電圧印加試験中電圧が印加されず不良品となる半導体素子の不良発生率(%)	高温電圧印加試験中電圧が印加されず不良品となる半導体素子の不良発生率(%)
1	0	0
2	0	6
3	0	0
4	0	9
5	10	7
6	1	11
7	18	30
8	20	31

【0014】(表1)に示す絶縁基体1としてはムライト焼結体、窒化アルミニウム焼結体および比較としてアルミナ焼結体、ガラス繊維入りエポキシ基板を用い、半導体素子2の状態での試験時の接続方法としてはグリップによる圧着と半田による接続を用いた。(表1)および(表2)に示すように、アルミナ焼結体またはガラス繊維入りエポキシの基板に圧着法により半導体素子2を搭載して高温電圧印加試験(1次)を行った場合、試験後の半導体素子2の不良の発生率は低いが、実装基板への実装後または実装基板での高温電圧印加試験(2次)の実施後の半導体素子2の不良率は極めて高い。このことは1次の高温電圧印加試験中に半導体素子2に電圧が

十分に印加されなかったこと、すなわち突起電極4と電極端子6との接続が十分でなかったことを示している。

【0015】

【発明の効果】以上のように本発明は、突起電極を有する半導体素子と電気的接続を行うための電極端子が形成された回路基板と、回路基板の上に設置された半導体素子をその上方から押圧する圧着手段とを有し、回路基板がムライト焼結体または窒化アルミニウム焼結体等の低熱膨張セラミック基板であり、かつ電極端子には半導体素子の突起電極を収納するための凹部を設けた構成とすることにより、半導体素子の上に設けられた突起電極に変形や損傷を起こすことなく半導体素子の初期不良を

(4)

特開平4-254346

5

6

見いだすことのできる優れた半導体素子の試験装置を実現できるものである。

【図面の簡単な説明】

【図1】本発明の一実施例における半導体素子の試験装置の断面正面図

【符号の説明】

- 1 絶縁基体 (回路基板)
- 2 半導体素子
- 4 突起電極
- 5 凹部
- 6 電極端子
- 7 圧着手段

【図1】

